

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261288  
(43)Date of publication of application : 29.09.1998

(51)Int.CI.

G11C 11/407  
G06F 1/26  
H01L 27/10  
H03K 5/13  
H04L 7/00

(21)Application number : 08-242695

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.08.1996

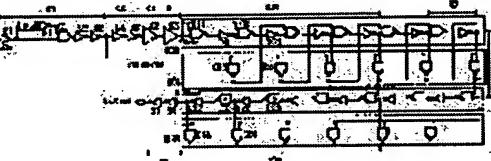
(72)Inventor : NODA HIROMASA  
AOKI MASAKAZU  
IDEI YOJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance a synchronization accuracy while expanding a synchronizable clock frequency band by generating pulses whose duties of input pulse width are made small while providing a pulse generating circuit at the input part of a synchronous mirror delay circuit SMD.

**SOLUTION:** A pulse generating circuit constituted of a delay circuit Pw, an inverter N1 and a NAND gate G1 is provided in this device. The delay time in an input part from an buffer B1 to an inverter N3 is made to be the same d1 as that of a buffer circuit B2 and the delay time of inverter circuits N4, N5 is made to be the same d2 as that of a buffer circuit B3 and also these delay times are set in accordance with the delay time of edges of pulses to be transmitted from a forward delay array FDA to a backward delay array BDA via a mirror control circuit MCC and, moreover, the delay time of output circuit inverters N6, N7 is also made to be d2. At this time, the period from an external clock CLKin till an internal clock CLKout just becomes the double period of that of the CLKin.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

일본공개특허공보 평10-261288호(1998.09.29) 1부.

[첨부그림 1]

(19) 日本国特許庁 (JP)

(22) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261288

(47) 公開日 平成10年(1998)9月29日

(61) Int.Cl.  
G11C 11/407  
G06F 1/26  
H01L 27/10  
H08K 5/13  
H04L 7/00

識別記号

311

F.1  
G11C 11/34  
H01L 27/10  
H08K 5/18  
H04L 7/00  
G06F 1/00

354C  
311  
Z  
330Z

審査請求 未請求 請求項の数 6 FD (合 15 条) 最終頁に記載

(21) 出願番号

特願平8-242695

(71) 出願人

株式会社日立製作所  
東京都千代田区神田駿河台四丁目5番地

(22) 出願日

平成8年(1996)8月26日

(72) 発明者

野田 伸正  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 共同者

青木 正和  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 共同者

出井 謙治  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

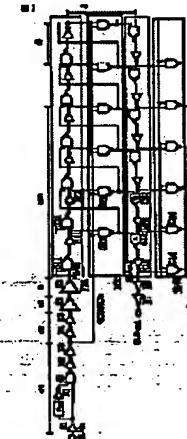
(74) 代理人

弁理士 鈴木 光政

(54) 【発明の名称】半導体構成回路装置

【課題】同期可能なクロック周波数帯域を拡大させ、同期精度を向上させたシンクロナス・ミラー・ディレイ回路を提供する。

【解決手段】(各正) 入力されたクロックを遅延させる入力回路と、それを通したパルス出力信号を順次伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイFDAと、入力回路を通したパルスとを論理ゲート回路の出力信号とを受け、その出力をゲート制御信号とするミラーリー制御回路MCと、それから対応する出力信号が供給され、ミラーリー制御回路を通したパルスエッジをフォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイBDA及びドライバとを含む同期パルス発生回路において、入力回路にデューティを小さくしたパルス発生回路Pw、NI、GIを設ける。



## 【特許請求の範囲】

【請求項1】 外部端子から入力されたクロックを遅延させ、外部クロックに対してパルス幅デューティを小さくしたパルス幅を持つパルスを形成するパルス発生回路を含む入力端回路と、

かかる入力端回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理はゲート回路からなるフォワード・ディレイ・アレイと、上記入力端回路を通したパルスを構成する論理はゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイと、上記入力端回路を通したパルスを構成する論理はゲート回路からなるミラー・制御回路と、

上記ミラー・制御回路から対応する出力信号が供給されかかるミラー・制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理はゲート回路からなるバックワード・ディレイ・アレイとを含む同期パルス発生回路を備えてなることを特徴とするパルス発生回路装置。

【請求項2】 上記入力端回路には、第1の遅延時間の信号遅延を行う第1の遅延回路と第2の遅延回路、第2の遅延時間の信号遅延を行う第3の遅延回路を含み、上記バックワード・ディレイ・アレイの出力信号は、上記第2の遅延時間を持つクロックドライバを通して出力されるものであることを特徴とする請求項1の半導体発明は回路装置。

【請求項3】 外部端子から入力されたクロックを遅延させ、外部クロックに対してパルス幅デューティを小さくしたパルス幅を持つパルスを形成するパルス発生回路を含む第1の入力端回路と、

上記第1の入力端回路の遅延時間と同じ遅延時間を持つようにされた第2の入力端回路と、

上記第2の入力端回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理はゲート回路からなるフォワード・ディレイ・アレイと、

上記第1の入力端回路を通したパルスと各論理はゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理はゲートのゲート制御信号として伝えるミラー・制御回路と、

かかるミラー・制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理はゲート回路からなるバックワード・ディレイ・アレイとを含む同期パルス発生回路を備えてなることを特徴とする半導体発明は回路装置。 1

【請求項4】 上記第1及び第2の入力端回路には、それぞれ第1の遅延時間の信号遅延を行う第1の遅延回路と第2の遅延時間の信号遅延を行う第3の遅延回路を含み、上記バックワード・ディレイ・アレイの出力信号は、上記第2の遅延時間を持つクロック

ドライバを通して出力されるものであることを特徴とする請求項3の半導体発明は回路装置。

【請求項5】 上記入力端回路には、フォワード・ディレイ・アレイからミラー・制御回路を通してバックワード・ディレイ・アレイにパルスエッジが伝えられる遅延時間に相当する遅延時間を持つ遅延回路が挿入されるものであることを特徴とする請求項1又は請求項3の半導体発明は回路装置。

【請求項6】 上記半導体発明は回路装置は、シンクロナスティナミックRAMを構成するものであり、上記同期クロック発生回路は、そのクロック入力回路に用いられるものであることを特徴とする請求項1又は請求項3の半導体発明は回路装置。

## 【0001】

【発明の詳細な説明】 この説明は、半導体発明は回路装置に關し、クロック信号により同期して動作する半導体発明は回路装置、例えばシンクロナスティナミックRAM (ランダム・アクセス・メモリ) のクロック入力回路に利用して有効な技術に関するものである。

## 【0002】

【従来の技術】 シンクロナス・ミラー・ディレイ回路 (SMD) は、外部クロックと内部クロックとの同期をとるための回路である。このようなシンクロナス・ミラー・ディレイ回路については、アイ・エス・エス・シー・シー・ダイジェスト オブ テクニカル ベーパース (ISSCC DIGEST OF TECHNICAL PAPERS) 誌 1996年2月10日、第 974頁～第 975頁がある。

## 【0003】

【発明が解決しようとする課題】 図1-1には、本明発明者等において先に検討されたシンクロナス・ミラー・ディレイ回路の回路図が示され、図1-2にはその動作を説明するための波形図が示されている。この回路において、内部クロックCLKInの立ち上がりと外部クロックCLKInの立ち上がりが同期する場合を考える。外部クロックCLKInは、遅延時間がそれぞれd1, d2及びd3の3つの遅延回路を通してフォワード・ディレイ・アレイ回路(以下、FDAという) に入力される。このFDA中を伝播しているnサイクル目のクロックの立ち上がりエッジは、コモン(以下、COMMONいう) として伝播されるn+1サイクル目のクロックの立ち上がりにより、上記FDA中の伝播が止のられ、同時に伝播が止のられた位置とちょうど対称の位置にあるバックワード・ディレイ・アレイ(以下、BDAという) 中のノードに立ち上がりエッジが伝播される。

【0004】 上記立ち上がりエッジは、FDA中の伝播時間tDAとちょうど同じ時間をかけてBDA中を伝播し、遅延時間d2の遅延回路(内部クロックドライバに相当する)を通して、内部クロックCLKOutとして出力される。上記FDA中のnサイクル目の立ち上がりエッジ

ッジが  $n + 1$  サイクル目の COMMON の立ち上がりエッジによって伝播が止められることが、次式 (1) と  $d_2 + d_1 + t_{DA} = t_{CK}$  [0005] また、外部クロック  $CK_{In}$  から内部クロック  $CK_{Out}$  までの立ち上がりエッジの伝播時間は、上記のような伝播経路に沿って計算すると次式 (2) の關係が成立する。つまり、外部クロック  $CK_{In}$  から内

[0006] 上記同期動作が実現するにはいくつかの条件が必要である。まず、クロックサイクル中にに対して  $d_1 + d_2$  が小さくすると、 $n$  サイクル目のクロックにより COMMON がハイレベル (H) の期間中に、FDA の入力信号  $DA_{In}$  も  $n$  サイクル目のクロックによってハイレベル (H) になり、ミラー制御回路 (以下、MMC という) の NAND (NAND) ゲートによって、FDA 内におけるクロックの立ち上がりエッジの伝播が止められてしまう。この場合、上記の等式 (1) は成立しない。

[0007] したがって、 $n$  サイクル目のクロックによ  $t_{CK} < 2(d_1 + d_2 + t_{DA})$

[0008] さらに、 $n + 1$  サイクル目のクロックによリ COMMON (COMMON) がハイレベル (H) になるまで、 $n$  サイクル目のクロックの立ち上がりエッジは、FDA 中になければならない。つまり、上記のように  $n + 1$  サイクル目のクロックにより COMMON がハイレベル (H) になるまで、 $n$  サイクル目のクロックが FDA

$t_{CK} < n t_{DA} + d_1 + d_2$

[0009] 逆に、クロックサイクルに対して  $d_1 + d_2$  が大きすぎると、 $t_{DA}$  が短くなり、 $n$  サイクル目のクロックにより  $DA_{In}$  がまだハイレベル (H) になっているときに、FDA から  $DA_{Out}$  に転送された  $n$  サイクル目のクロックの立ち上がりエッジが  $DA_{Out}$  の入力まで戻ってしまう。このとき、COMMON は  $n + 1$  サイクル目のクロックによりまだハイレベル (H) のので、上記 MMC により NAND ゲート回路 b は非活性状態であり、FDA から  $DA_{Out}$  に転送された  $n$  サイクル目のクロックの立ち上がりエッジの伝播を止めてしまう。この場合にも、上記等式 (1) は成立しなくなるので、 $t_{CK} = 4 / 3(d_1 + d_2 + t_{DA})$

[0010] 上記 3 つの条件式 (3)、(4) 及び (5) より、0.3  $\mu m$  プロセス、電源電圧 3.3V を例にし、同期可能なクロック周波数の遅延時間  $d_2$  依存性を計算した結果が図 14 に示されている。ここで、FDA と  $DA_{Out}$  の繋り返し数 n を 50 と仮定した。図 14において、内掛けした領域が同期可能なクロックの周波数帯域である。実際の回路においては、 $d_2$  は、固定であるために、実際の同期可能なクロック周波数帯域は、内掛けした領域の範囲方向の切り口が大きいほど広いこ

うい関係が成立する。ここで、 $t_{CK}$  は、クロック  $CK_{In}$  のサイクル時間 (1 周期) である。

……… (1)

外部クロック  $CK_{Out}$  までがちょうど  $2t_{CK}$  に等しくなり、上記の外部クロック  $CK_{In}$  と内部クロック  $CK_{Out}$  が同期することとなる。

$d_1 + d_2 + d_1 + t_{DA} + t_{DA} + d_2 = 2(d_1 + d_2 + t_{DA})$   
 $= 2t_{CK}$  ……… (2)

リ COMMON がロウレベル (L) になってから、上記 FDA の  $n$  サイクル目のクロックによってハイレベル (H) になる必要がある。この条件を図 12 の動作波形図上に示すと、内掛け示した期間  $t_1$  が正でなければならないという条件になる。このことを式 (3) で表す。ただし、上記外部クロック  $CK_{In}$  がパルス幅デューティ 50% であるとする。また、 $t_{DA}$  は、上記 FDA 及び  $DA_{Out}$  を構成する基本遅延単位 (2 入力の NAND ゲート回路が 1 個とインバータ回路が 1 個からなる信号経路) の遅延時間である。

……… (3)

を通り抜けてしまはなければならない。この条件を次式 (4) である。ここで、n は上記基本遅延単位の繰り返し数である。上記式 (3) と式 (4) からなる 2 つの条件により同期可能なクロック周波数の下限が決められる。

……… (4)

$DA_{In}$  がロウレベル (L) なって、NAND ゲート回路 b が活性化されてから、FDA から  $DA_{Out}$  に転送された  $n$  サイクル目のクロックの立ち上がりエッジが  $DA_{Out}$  出力の 2 つの基本遅延単位前に相当する NAND ゲート回路 b に到達するように、 $t_{DA}$  をあるほど長くしなければならない。この条件を図 12 の動作波形図上に示すと、内掛け示した期間  $t_2$  が正でなければならないという条件になる。このことを式 (4) と次式 (5) のようになる。ただし、クロック  $CK_{In}$  のパルス幅デューティは、50% であるとする。この条件により、同期可能なクロック周波数の上限が決められる。

……… (5)

となる。同図により、同期可能なクロック周波数帯域は、極めて狭い範囲に規定されていることが判る。同期可能なクロックサイクルの最高値は、最低値の 1.5 倍以下であり、素子のプロセスバラシキや電源電圧変動を含めた、クロック周波数をこの帯域に制限するのは難しい。

[0011] また、上記式 (2) の計算には、無視されている遅延成分があることが判明した。それは、FDA から  $DA_{Out}$  へのクロックの立ち上がりエッジが転送され

るのに要する遅延時間である。すなわち、図13に示すように、COMMONがロウレベル（L）で、クロックの立ち上がりエッジがFDA中を伝播し、両端の基本遅延単位の入力の直前まで到達しているとする。この場合の主なノードの信号レベルがH又はLとして図中に示されている。

【0012】上記の状態でCOMMONがハイレベル（H）になると、まずMCCの NANDゲート回路（a）からFDAにロウレベル（L）が出力された後に、この NANDゲート回路（a）により2段前の NANDゲート回路（b）が出力したロウレベル（L）がFDAの NANDゲート回路（c）及びインバータ回路（d）の出力を反転させ、NANDゲート回路（a）の出力をロウレベル（L）からハイレベルに反転させる。この最後の NANDゲート回路（c）の出力のL→H反転が、FDAからRDAに伝送されたクロックの立ち上がりである。したがって、伝送はNANDゲート回路（b）→（c）→インバータ回路（d）→NANDゲート回路（c）の4つのゲートを介して行われ、FDAの分解能（FDAを構成する基本遅延単位（c, dの2つのゲート）の遅延時間）よりも大きな遅延時間を発生して、両端の検査として現れる。

【0013】この発明の目的は、同期可能なクロック周波数帯域を拡大させたシンクロナス・ミラー・ディレイ回路を備えた半導体集成回路装置を提供することにある。この発明の他の目的は、同期可能なクロック周波数帯域を拡大させつつ、その同期精度を向上させたシンクロナス・ミラー・ディレイ回路を備えた半導体集成回路装置を提供することにある。この発明の特記ならびにそのほかの目的と新規な特徴は、本明細書の記述および本付図面から明らかになるであろう。

【0014】  
【課題を解決するための手段】本明細書において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理ゲート回路の出力信号を受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイと逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む両端パルス発生回路において、上記入力回路に入力パルスのパルス幅デューティを小さくさせたパルスを発生させるパルス発生回路を設ける。

## 【0015】

【発明の実施の形態】図1には、この発明に係るシンクロナス・ミラー・ディレイ回路（同期パルス発生回路）の一実施例の回路図が示されている。同図の各回路は、特に制限されないが、シンクロナスFDAを構成する他の回路とともに、公知の半導体集成回路の記述文書により、既結晶シリコンのような1箇の半導体基板上において形成される。

【0016】この実施例のシンクロナス・ミラー・ディレイ回路は、前記回路に外部クロックを取り込み入力部と、FDA、MCC及びRDAと直結回路、内部クロックのドライバとしての出力部から構成される。この実施例では、上記入力部において外部クロックCLKinの入力バッファとパルス信号発生回路を設け、クロックCLKinの立ち上がりエッジあるいは立ち下がりエッジからかかるクロックCLKinの周波数に依存しない一定のパルス幅をもったパルス信号を発生させる。

【0017】つまり、外部端子から入力された外部クロックCLKinは、入力バッファB1を介して、パルス発生回路に供給される。パルス発生回路は、上記入力バッファB1の出力信号を遅延させてパルス幅を設定する遅延回路P1とインバータ回路N1、上記入力バッファB1と上記インバータ回路N1の遅延信号とを受けるNANDゲート回路G1から構成される。このNANDゲート回路G1の出力信号は、インバータ回路N2とN3を通じてCOMMONONに伝えられる。

【0018】上記インバータ回路N2とN3を通したパルス発生回路の出力信号は、他方において遅延回路を構成するインバータ回路N4、N5及びパルス回路B2とB3とを通じてFDAに入力される。FDAは、オーナンドゲート回路とインバータ回路からなる基本遅延単位から構成される。FDAの初段回路と2段目の回路のNANDゲート回路G11とG21は、一方の入力には論理1に対応したハイレベルが常時供給されている。初段回路のインバータ回路N11から出力信号が形成され、一方において第2段目のNANDゲート回路G21の他方の入力に供給される。上記インバータ回路N11から出力信号は、他方においてMCCのNANDゲート回路G12の一方の入力に供給される。このNANDゲート回路G12の方の入力は、上記COMMONONに接続される。

【0019】上記FDAの第3段目の基本遅延単位を構成するNANDゲート回路の一方の入力には、2つ前である初段回路に対応したMCCのNANDゲート回路G12の出力信号が供給される。同様に、第4段目以降の基本遅延単位を構成するNANDゲート回路の一方の入力には、それぞれ2つ前のFDAの基本遅延単位の出力信号に対応して読みられたMCCの上記四段目NANDゲート回路の出力信号が順次に供給される。特に制限されない

가. 上記のような基本遅延単位が 50 台並列形態に接続されて FDA が構成される。上記 1 つの基本遅延単位における信号伝播遅延時間は、それぞれが  $t_D$  のように同じく形成される。

【0020】MCC では、それぞれ FDA における各 1 の基本遅延単位の出力信号と COMMON とを受けるアンドゲート回路から構成される。MCC を構成する各アンドゲート回路 G12, G22 等は、FDA を構成するアンドゲート回路 G13, G23 等の一方の入力に供給される。上記アンドゲート回路 G13, G23 は、上記 FDA と逆方向に信号伝播される。すなわち、アンドゲート回路 G22 の出力信号は、インバータ回路 N22 を介してアンドゲート回路 G13 の他方の入力に伝えられる。この FDA の基本遅延単位を、上記 FDA の基本遅延単位と等価にするために、タミー回路として直通が設けられる。つまり、上記インバータ回路 N22 の出力信号は、MCC に対応したタミー回路としてアンドゲート回路 G24 に供給される。このアンドゲート回路 G24 の他方の入力は、他の同様なアンドゲート回路 G14 等の同様な入力と共に接続され、同回路では省略されているが、固定的にハイレベル又はロウレベルが供給される。

【0021】FDA は、上記のように信号伝播方向が、上記 FDA とは逆方向にされ、実質的に上記 FDA と同じ構成にされる。それ故、FDA を通して伝えられるクロックのエッジは、FDA により逆方向に同じ信号遅延時間を以て伝えられる。上記 FDA の出力信号  $BDAD_{out}$   $d_2 + d_1 + 5 + t_D = t_{CK}$

【0024】また、外部クロック  $CLK_{in}$  から内部クロック  $CLK_{out}$  までの立ち上がりエッジの伝播時間は、上記のような伝播経路に沿って計算すると次式 (7) の関係が成立する。つまり、外部クロック  $CLK_{in}$  から内

【0025】同期条件についてみると、図 12 と比較して  $t_1$  と  $t_2$  が長くなっている。上限が緩やかになっていることが判る。前記式 (3) に相当する条件は、次式 (8) で与えられる。ここで、 $Pw$  は、パルス発生回路  $Pw = d_1 + d_2 + 5 + t_D$

【0026】本実施例における長周期側の条件は、パルスが FDA を通り抜けてしまわないための条件式は、次式 (9) で示される。

ここで、前記式 (3) に相当する条件による制限が緩やかになった結果、基本遅延単位の繰り返し数を増やすことにより、長周期側を伸ばすことが可能となる。短周期側

$t_{CK} > d_1 + d_2 + t_D + (Pw + 5) / 2$  ..... (10)

【0027】上記のような 2 種類の条件により、前記と同じ例について、同期可能なクロック周波数の  $d_2$  供給性を計算した結果が図 3 である。前記図 14 と比較して周波数帯域が広がっていることが判る。

$t$  は、内部クロックドライバとしてのインバータ回路 N6 と N7 を通して出力され、内部クロック  $CLK_{out}$  が形成される。

【0022】この実施例では、上記入力部での遅延時間  $d_1$  は、上記入力パッファ B1 のクロック発生回路とインバータ回路 N2, N3 と、パッファ回路 B2 でのそれでの信号伝播遅延時間とされる。遅延時間  $d_2$  は、上記インバータ回路 N4 と N5 での信号伝播遅延時間とされる。そして、パッファ回路 B3 は、上記 FDA から MCC を通して FDA に伝えられるパルスエッジの遅延時間に応じた遅延時間に設定される。これにより、SMD の同期精度の向上を図ることができる。上記内部クロックドライバとしてのインバータ回路 N6, N7 での信号伝播遅延時間は、上記インバータ回路 N4, N5 に対応した遅延時間  $d_2$  に設定される。

【0023】図 2 には、この発明に係るシンクロナス・ミラー・ディレイ回路を説明するための動作波形図が示されている。この実施例においても、前記例にクロックの立ち上がりエッジは、FDA 中の伝播時間  $t_D$  とちょうど同じ時間をかけて FDA 中を伝播し、遅延時間  $d_2$  の遅延回路（内部クロックドライバに相当する）を経て、内部クロック  $CLK_{out}$  として出力される。上記 FDA 中の  $n$  サイクル目の立ち上がりエッジが  $n + 1$  サイクル目の COMMON との立ち上がりエッジによって伝播が止められることから、次式 (6) という関係が成立する。

..... (6)

外部クロック  $CLK_{in}$  までがちょうど  $t_{CK}$  に等しくなり、上記の外部クロック  $CLK_{in}$  と内部クロック  $CLK_{out}$  とが同期することとなる。

$$d_1 + d_2 + d_1 + 5 + t_D + 5 + t_D + d_2 = 2 (d_1 + d_2 + 5 + t_D)$$

..... (7)

で形成されたパルスのパルス幅である。この式の中に  $t_{CK}$  は含まれず、外部クロック周波数に対する条件でなくなっていることが判る。

..... (8)

式 (8) で示される。

..... (9)

の条件は、前記の場合と変わらないが、式の形が若干変わり、式 (10) のようになる。

【0028】図 4 には、この発明に係るシンクロナス・ミラー・ディレイ回路の他の一実施例の回路図が示されている。この実施例では、パルス発生回路で形成されたパルスは、COMMON に伝えられる。つまり、MCC

側に対してのみ伝えられるようにするものである。ただし、FDAに投入される外部クロックCLKinとの遅延時間等しくするために、投入部において、パルス発生回路に対応した NAND ゲート回路やインバータ回路が設けられて、同じ遅延時間  $d$  が設定される。

【0029】この実施例の同期条件は、表周同期について

$t_{CK>R}(d1+d2+6-Pw)$

【0030】上記外部クロック CLKin のパルス幅データは、前記回路に 50% であると仮定している。また、 $n < 0$  の場合、FDAin がまだ  $n$  サイクル日のハイレベル (H) であるときに、COMMONn が  $n+1$  サイクル日のロウレベル (L) になるため、上記ハイレベル (H) が FDAin 中を伝播しはじめる。そして、FDAin は一旦ロウレベル (L) になり、次のクロックサイクル ( $n+1$ ) で再びハイレベル (H) となるが、この場合 COMMONn は  $n+1$  サイクル日のロウレベル (L) のままであるから、FDAin 中に 2 つの立ち上がりエッジが伝播することになってしまい、外部クロック CLKin と内

$t_{CK>R}(d1+d2+3)$

【0032】図 7 には、この発明が適用されるダイナミック型 RAM (シンクロ RAM) の一実施例の外部プロック回路が示されている。同図には、シンクロ RAM のうち、入出力バッファと、それに隣接する内部回路が代表として断続的に示されている。

【0033】クロック入力バッファ (Clock Input Buffer) 1 は、外部クロック CLK の他に、チップセレクト信号 /CS、ロウアドレステストローブ信号 /RAS、カラムアドレステストローブ信号 /CAS およびライトイネーブル信号 /WE 等の制御信号を受けて、内部動作に必要な各種制御信号を形成する。上記外部クロック CLK は、前記図 1 又は図 4 のようなシンクロナス・ミラーディレイ回路により構成された同期クロック発生回路に入力され、ここで上記外部クロック CLK に同期した内部クロックが形成される。

【0034】つまり、外部クロック CLK は、上記のような同期クロック発生回路に入力され、ここで外部クロック CLK に同期した内部クロックが形成される。この構成では、外部クロック CLK をそのまま内部クロックとして用いるに比べて、入力バッファでの信号遅延を実質的に無くすことができ、時間マージンを大きくできるのでその分外部クロック CLK の高周波数化にも十分対応できるようになる。

【0035】アドレス入力バッファ (Address Input Buffer) 2 は、後述するように時系列的に投入されるアドレス信号を取り込む。このアドレス入力バッファ 2 からは、ロウ系アドレス信号やカラム系アドレス信号の他に、モード設定用いられるコード信号 Code が取り込まれる。このコード情報 Code は、モードデコーダ (Mode Decoder) 3 に含まれるモードレジスタにセットされ、モードデコーダ 3 によって解读され、それに対応した動作を実現するための制御信号が形成される。

では前記実施例と同じであり、式 (9) で与えられる。同期条件については、上記の実施例の条件に別の場合がもう 1 つ加わる。これは、COMMON のパルス幅データが FDAin のパルス幅データより小さいために必要な条件であり、図 5 に示した動作波形図において、 $t_{B>R}$ 、つまり式 (11) として与えられる。

…… (11)

外部クロック CLKout が同期しなくなるので、上記条件式 (11) が必要となる。

【0036】図 6 には、前記と同じ条件下同期可能なクロック回路数の  $d$  を係数を計算した結果が示されている。この実施例でも、前記図 1-4 に比較して、十分に広い周波数帯域を確保することがわかる。そして、この実施例では、次式 (12) の条件が成立する場合、パルス幅データが 50% の外部クロック CLKin に対して、同じくパルス幅データが 50% の内部クロック CLKout を形成することができるという特長もある。

…… (12)

【0036】データ入力バッファ (Data Input Buffer) 4 は、入出力端子 1/0 から供給される書き込み信号を取り込み、図示しないメモリアレイ (Memory array) 5 に書き込みデータ Data として伝えられる。データ出力バッファ (Data Output Buffer) 6 は、メモリアレイ (Memory array) 5 から読み出された読み出しデータ Data を外部端子 1/0 から送出させる。

【0037】ラス系コントロール回路 (RAS 系 Controller) 6 は、モードデコーダ 3 の出力により、ロウ系アドレスカウンタ (Row Address Counter) 7 と、ロウ系アドレスプレデコーダ (Row Address pre-Decoder) 10 を制御して、ロウ系のアドレス選択動作を制御する。上記ロウ系アドレスカウンタ 7 には、ロウアドレス信号 (Row Address) が初期値として投入される。ロウ系アドレスプレデコーダ 10 は、アドレス信号を解読してバンクロード (Bank-0 と Bank-1) にフレデコーダされたアドレス信号 (Row Address') を送出する。

【0038】バンクコントロール回路 (Bank Controller) 8 は、モードデコーダ 3 の出力信号により、カラム系アドレスカウンタ (Column Address Counter) 9 と、カラム系アドレスプレデコーダ (Column Address pre-Decoder) 12 を制御して、ロウ系のアドレス選択動作を制御する。カラム系アドレスカウンタ 8 には、カラムアドレス信号 (Column Address) が初期値として投入される。このカラム系アドレスカウンタ 8 は、バーストカウンタ (Burst Counter) とも呼ばれる。カラム系アドレスプレデコーダ 12 は、アドレス信号を解読してメモリアレイ (Memory array) 5 にフレデコーダされたアドレス信号 (Column Address') を送出する。

[첨부그림 7]

【0039】 ロウ系アドレスプレデコーダ10には、冗長回路（Redundancy）11が取付けられ、不良のワード線が冗長ワード線に書き換えられる。同様に、カラム系アドレスプレデコーダ12には、冗長回路（Redundancy）13が取付けられ、不良のデータ線が冗長データ線に書き換えられる。

【0040】 図8には、上記シンクロナスDRAM（以下、略してSDRAMという）の一実施例の全体ブロック図が示されている。同図に示されたSDRAMは、特に制限されないが、公知の半導体実装回路の製造技術によって製造品シリコンのような1つの半導体基板上に形成される。同図においては、シンクロナスDRAMの全体回路の理解を容易にするため、図7と同じ回路ブロックであっても全体的に統一させるために別の回路記号により表している。

【0041】 この実施例のSDRAMは、メモリバンクA（BANK A）を構成するメモリアレイ200Aと、メモリバンクB（BANK B）を構成するメモリアレイ200Bを備える。それぞれのメモリアレイ200Aと200Bは、マトリクス配置されたダイナミック型メモリセルを備え、図に示すとおりに配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【0042】 上記メモリアレイ200Aの図示しないワード線はロウデコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに結合される。メモリアレイ200Aの図示しない選択データ線はセンスアンプ及びカラム選択回路202Aに結合される。センスアンプ及びカラム選択回路202Aにおけるセンスアンプは、メモリセルからのデータ読み出しによって天からの相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線204に選択させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0043】 メモリアレイ200B側にも同様にロウデコーダ201B、センスアンプ及びカラム選択回路202B、カラムデコーダ203Bが設けられる。上記相補共通データ線204は入力バッファ210の出力端子及び出力バッファ211の入力端子に接続される。入力バッファ210の入力端子及び出力バッファ211の出力端子は16ビットのデータ入出力端子1/0～1/0～15に接続される。

【0044】 アドレス入力端子A0～A9から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウア

ドレスバッファ205はリフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、カラムアドレスカウンタ207は前述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を次回インクリメントした値を、カラムデコーダ203A、203Bにかけて出力する。

【0045】 コントローラ212は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号CS、カラムアドレスストローブ信号CAS（記号CSはこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号RAS、及びライトイネーブル信号WEなどの外部制御信号と、アドレス入力端子A0～A9からの制御データとが供給され、それらの信号のレベルの変化やタイミングなどに従つてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントローラロジック（図示せず）とモードレジスタ30を備える。

【0046】 クロック信号CLKは、前記のように同期クロック発生回路に入力され、ここで形成された内部クロックとの同期がとらわれる。この内部クロックは、SDRAMのマスタクロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して変更とされる。チップセレクト信号CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号CSがハイレベルのとき（チップ非選択状態）やその後の入力は無効を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。RAS、CAS、WEの各信号は通常のDRAMにおける対応信号とは競合が発生され、後述するコマンドサイクルを実行するときに有効の信号とされる。

【0047】 クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、出力信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないゲートモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ212に供給され、その信号が例えばハイレベルのときには出力バッファ211は高出力カインピーダンス状態にされる。

【0048】 上記ロウアドレス信号は、クロック信号CLK（内部クロック信号）の立ち上がりエッジに同期する後述のロウアドレスストローブ・パンクアクティブコ

マンドサイクルにおけるA0～A8のレベルによって定義される。

【0049】 A9からの入力は、上記ロウアドレスストローブ・パンクアクティブコマンドサイクルにおいてパンク選択信号とみなされる。即ち、A9の入力がロウレベルの時はメモリパンクBANKAが選択され、ハイレベルの時はメモリパンクBANKBが選択される。メモリパンクの選択制御は、特に制限されないが、選択メモリパンク側のロウデータのみの活性化、非選択メモリパンク側のカラムスイッチ回路の全か選択、選択メモリパンク側のみの入力パッファ2'10及び出力パッファ2'11への接続などの処理によって行うことができる。

【0050】 後述のプリチャージコマンドサイクルにおけるA8の入力は相補データ線などに対するプリチャージ動作の基線を指示し、そのハイレベルはプリチャージの対象が双方のメモリパンクであることを指示し、そのロウレベルは、A9で指示されている一方のメモリパンクがプリチャージの対象であることを指示する。

【0051】 上記カラムアドレス信号は、クロック信号CLK(内部クロック)の立ち上がりエッジに同期するリード又はライトコマンド(後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド)サイクルにおけるA0～A7のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0052】 次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

#### (1) モードレジスタセットコマンド(Mo)

上記モードレジスタ30をセットするためのコマンドであり、/CS、/RAS、/CAS、/WE=ロウレベルによって当該コマンド指定され、セットすべきデータ(レジスタセットデータ)はA0～A9を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、CASレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、1、2、4、8、フルページとされ、設定可能なCASレイテンシイは1、2、3とされ、設定可能なライトモードは、バーストライトヒングルライトとされる。

【0053】 上記CASレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において/CSの立ち下がりから出力パッファ2'11の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読み出しデータが確定するまでにはデータ読み出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換算すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシイを相対的に小さな値に設定する。

#### 【0054】 (2) ロウアドレスストローブ・パンクアクティブコマンド(Ao)

これは、ロウアドレスストローブの指示とA9によるメモリパンクの選択を有効にするコマンドであり、/CS、/RAS、/CAS=ロウレベル、/WE=ハイレベルによって指示され、このときA0～A7に供給されるアドレスがロウアドレス信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、出力コマンドが指定されると、それによって指定されるメモリパンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれを対応する相補データ線に供給される。

#### 【0055】 (3) カラムアドレスグリーードコマンド(Rw)

このコマンドは、バーストリード動作を開始するため必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、/CS、/CAS=ロウレベル、/RAS、/WE=ハイレベルによって指示され、このときA0～A7に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ2'0に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・パンクアクティブコマンドサイクルでメモリパンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ2'0から出力されるアドレス信号に従って順次選択されて連続的に読み出される。連続的に読み出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力パッファ2'11からのデータ読み出し開始は上記CASレイテンシイで規定される内部クロック信号のサイクル数を待って行われる。

#### 【0056】 (4) カラムアドレス・ライトコマンド(Wr)

ライト動作の基準としてモードレジスタ30にバーストライトが設定されているときは当該バーストライト動作を開始するため必要なコマンドとされ、ライト動作の基準としてモードレジスタ30にシングルライトが設定されているときは当該シングルライト動作を開始するため必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。当該コマンドは、/CS、/CAS、/WE=ロウレベル、/RAS=ハイレベルによって指示され、このときA0～A7に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバースト

ライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ20.7に供給される。これによって指示されたバーストライト動作の手順もバーストストップ動作と同様に行われる。但し、ライト動作にはCASレイトインシグナルはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0057】 (5) プリチャージコマンド (P<sub>r</sub>)  
これは、A8, A9によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、/CS, /RAS, /WE=ロウレベル, /CAS=ハイレベルによって指示される。

【0058】 (6) オートリフレッシュコマンド  
このコマンドはオートリフレッシュを開始するため必要なコマンドであり、/CS, /RAS, /CAS=ロウレベル, /WE=ハイレベルによって指示される。

【0059】 (7) バーストストップ・イン・フルページコマンド  
フルページに対するバースト動作を全てのメモリバンクに対して停止させるための必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、/CS, /WE=ロウレベル, /RAS, /CAS=ハイレベルによって指示される。

【0060】 (8) ノーオペレーションコマンド (NOOP)  
これは実質的な動作を行わないこと指示するコマンドであり、/CS=ロウレベル, /RAS, /CAS, /WEのハイレベルによって指示される。

【0061】 SDRAMにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストップ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が開始にされる。例えば、SDRAMは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。茲は、ロウアドレスストップ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線1本分のデータがカラム系動作の時に予め読み出し動作のために示さないラッチ回路にラッチされるようになっている。

【0062】 したがって、データ入出力端子1/0～1/0～1/1～1/5においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストップ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【0063】 SDRAM22は、クロック信号CLK (内部クロック信号)に同期してデータ、アドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSDRAMに匹敵する高速動作させることが可能である。また、選択された1本のワード線に対して複数のデータをアクセスするがバーストレンジスによって指定することによって、内蔵カラムアドレスカウンタ20.7で順次カラム系の選択状態を切り替えて複数箇所のデータを並列的にリード又はライトできることが理解されよう。

【0064】 図9には、この発明に係るSDRAMのリードサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR: aが取り込まれる。また、アドレスA1.1 (バンクセレクトBS) のロウレベルにより、バンク-0がアクティブにされてバンク-0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC: bが取り込まれてカラム系の選択動作が開始される。

【0065】 CASレイトインシグナルが3にされてるとすると、3クロック後に出力信号aが出力される。バーストリードが指定されているなら、以後クロックに同期してデータa+1, a+2, a+3が順次に出力される。このような読み出し動作と平行して、アクティブバンク-1の指定と、それに対応したロウアドレスR: bと、それから3クロック遅れてカラムアドレスC: bが入力される。これにより、3クロック後にデータb, b+1, b+2, b+3が順次読み出される。

【0066】 リードバンク-1を指定してカラムアドレスC: b'を入力すると、引き抜いてそれより3クロックに遅れてデータb' と b' + 1が出力される。2クロック後に、リードバンク-1を指定してカラムアドレスC: b"を入力するとb"がb"に書き替えられるのでそれより3クロックに遅れてデータb"と b" + 1, b" + 2, b" + 3が出力される。

【0067】 図10には、この発明に係るSDRAMのライトサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR: aが取り込まれる。また、アドレスA1.1 (バンクセレクトBS) のロウレベルにより、バンク-0がアクティブにされてバンク-0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC: aが取り込まれてカラム系の選択動作が開始され、それと同時に入力された書き込み信号が選択されたメモリセルに書き込まれ。以下バーストライトに対応してカラムアドレスが更新されて、データa, a+1, a+2, a+3がクロックに同期して書き込まれる。

【0068】 このようなバースト書き込み動作と平行し

て、アクティブバンク-1の指定と、それに対応したロードアドレスR: bと、それから3クロック遅れてカラムアドレスC: bが入力され、書き込みデータbが書き込まれる。以下、上記同様にb+1, b+2, b+3がクロックに同期して順次に書き込まれる。以下、ライトバンク-1を指定してカラムアドレスC: b'を入力し、書き込みデータb'をb'+1を入力し、リードバック-1を指定してカラムアドレスC: b'を入力すると、カラムアドレスがb'からb'に書き替わるので、それ以上に対応したデータb'をb'+1, b'+2, b'+3が順次に書き込まれる。

【0069】上記の実施例から得られる作用効果は、下記の通りである。

(1) 外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理はゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理はゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理はゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理はゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、上記入力回路に入力パルスのパルス幅チューティを小さくさせたパルスを発生させるパルス発生回路を設けることにより、同期可能な外部クロックの周波数帯域を広くすることができるという効果が得られる。

【0070】(2) 外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理はゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理はゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理はゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理はゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、パルス発生回路を設けて上記ミラー制御回路に入力パルスのパルス幅チューティを外部クロックに比べて小さくさせることにより、同期可能な外部クロックの周波数帯域を広くすることができるという効果が得られる。

【0071】(3) 上記入力回路又は上記第1及び第

2の入力回路には、フォワード・ディレイ・アレイからミラー制御回路を通してバックワード・ディレイ・アレイにパルスエッジが伝えられる遅延時間に相当する遅延時間を持つ遅延回路を挿入することにより同期精度を高くすることができるという効果が得られる。

【0072】(4) 上記同様パルス発生回路をシンクロナスダイナミック型RAMに搭載することにより、その動作速度をいちそう速くすることができるという効果が得られる。

【0073】以上本明るよりなされた発明を実施例に範囲を具体的に説明したが、本明るは前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々実施可能であることはいうまでもない。例えば、入力パルスと内部パルスとの同期化は、パルスの立ち下がりエッジを同期させるようするものであってもよい。基本遅延単位は、実質的に論理積動作を行うものであれば何であってもよい。この発明に係る同期パルス発生回路は、シンクロナスDRAMの他、外部から入力されたクロック信号と同期した内部クロック信号を必要とする各種半導体集積回路装置に広く利用できる。

【0074】

【発明の効果】本明るにおいて開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理はゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと論理はゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理はゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理はゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、上記入力回路に入力パルスのパルス幅チューティを小さくさせたパルスを発生させるパルス発生回路を設けることにより、同期可能な外部クロックの周波数帯域を広くすることができる。

【図1】この発明に係るシンクロナス・ミラー・ディレイ回路の構成を示す回路図である。

【図2】図1のシンクロナス・ミラー・ディレイ回路を説明するための動作波形図である。

【図3】図1の回路の同期可能な外部クロック周波数帯域を示す特性図である。

【図4】この発明に係るシンクロナス・ミラー・ディレイ

[첨부그림 11]

イ回路の他の一実施例を示す回路図である。

【図 5】図 4 のシンクロナス・ミラー・ディレイ回路を説明するための動作波形図である。

【図 6】図 4 の回路の同期可逆な外部クロック周波数範囲を示す特性図である。

【図 7】この発明が適用されるシンクロナスダイナミック型 RAM の一実施例を示す装置構成図である。

【図 8】図 7 のシンクロナスDRAM の一実施例を示す全体ブロック図である。

【図 9】この発明に係るシンクロナスDRAM のリードサイクルの一例を説明するためのタイミング図である。

【図 10】この発明に係るシンクロナスDRAM のライトサイクルの一例を説明するためのタイミング図である。

【図 11】本発明に先立って検討されたシンクロナス・ミラー・ディレイ回路の回路図である。

【図 12】図 11 の回路動作を説明するための動作波形図である。

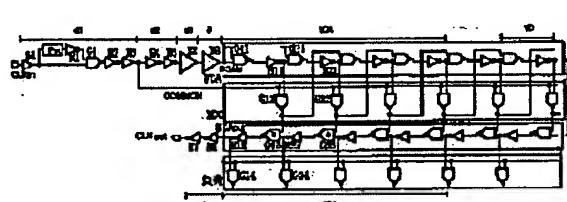
【図 13】本発明に先立って検討されたシンクロナス・ミラー・ディレイ回路の一実施例である。

【図 14】図 11 の回路の同期可逆な外部クロック周波数範囲を示す特性図である。

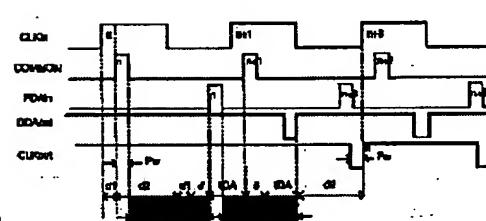
【符号の説明】

B:1～B3…パッファ回路、N:1～N5、N11～N22…インバータ回路、G:1、G11～G24…ナンドゲート回路、F:DA…フォワード・ディレイ・アレイ、M:CC…ミラー制御回路、SDA…バックワード・ディレイ・アレイ、1…クロック入力パッファ、2…アドレス入力パッファ、3…データ入力パッファ、4…データ出力パッファ、5…モードデコーダ、6…ラスコントロール回路、7…ロウ系アドレスカウンタ、8…カラム系アドレスカウンタ、9…バンクコントロール回路、10…ロウ系アドレスデコーダ、11…ロウ系冗長回路、12…カラム系アドレスフレデコーダ、13…カラム系冗長回路、22…SDRAM、30…モードレジスタ、200A、200B…モーリアレイ、201A、201B…ロウデコーダ、202A、202B…センサアンプ及びカラム選択回路、203A、203B…カラムデコーダ、205…カラムアドレスパッファ、206…ロウアドレスパッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、210…入力パッファ、211…出力パッファ、212…コントローラ。

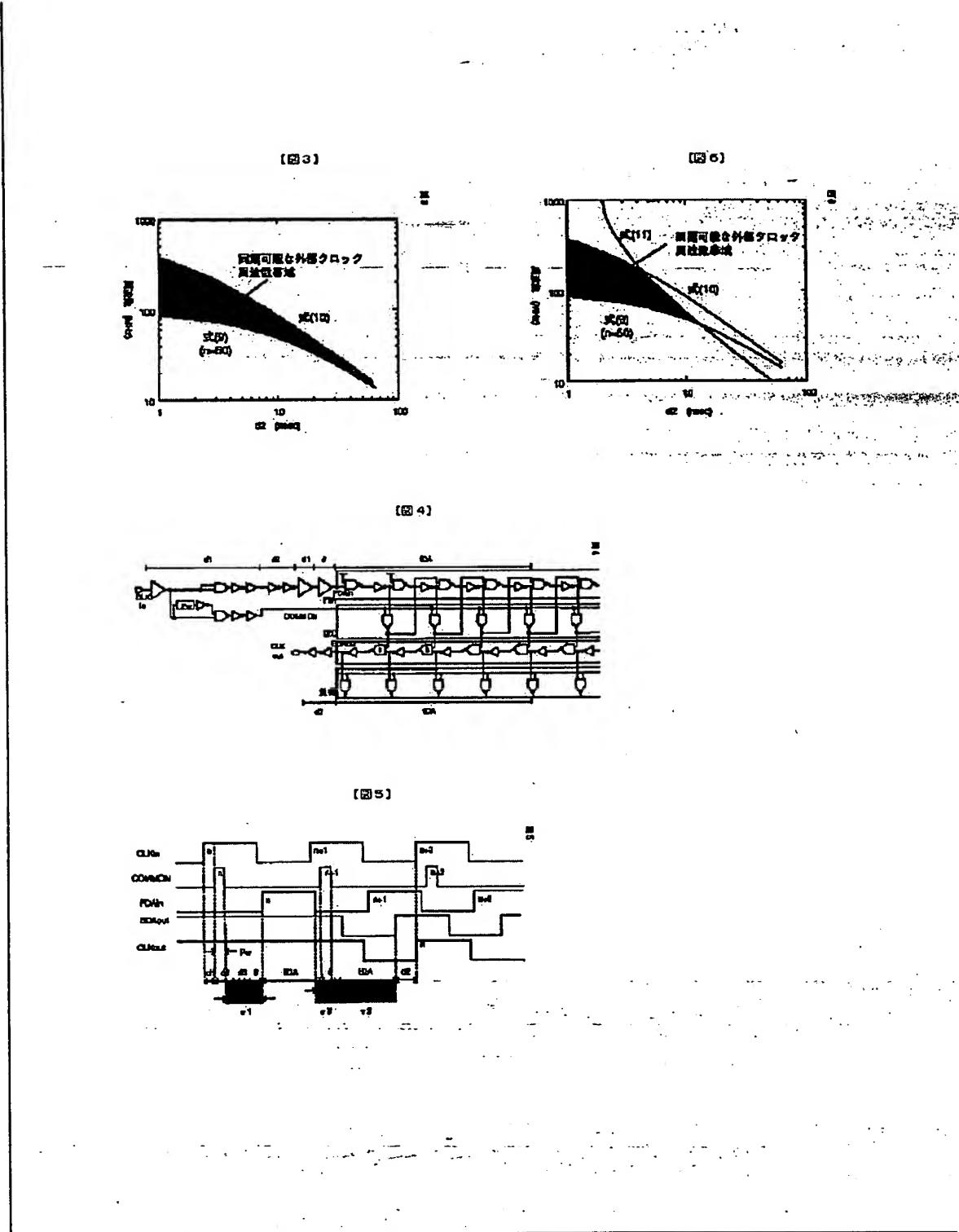
【図 1】



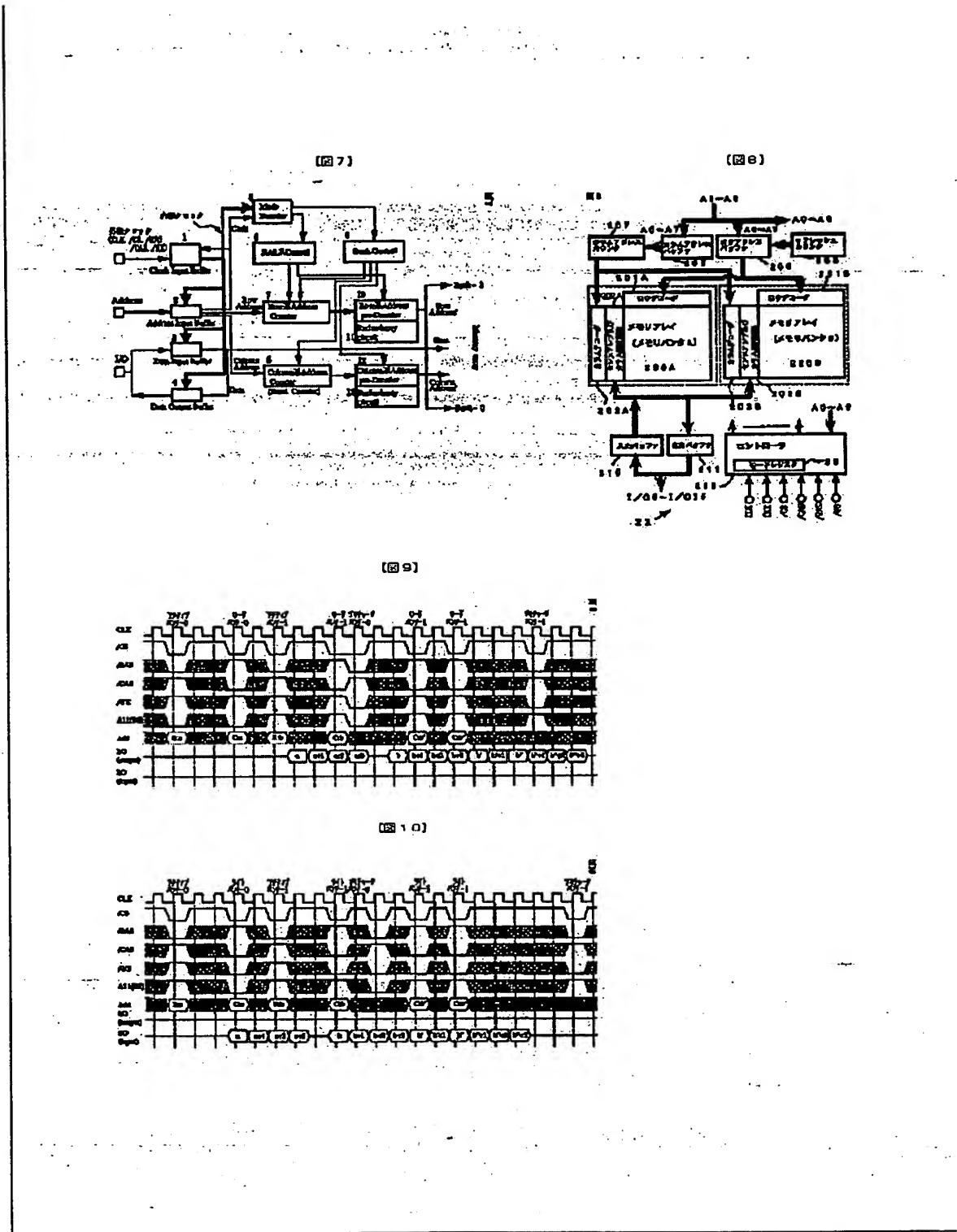
【図 2】



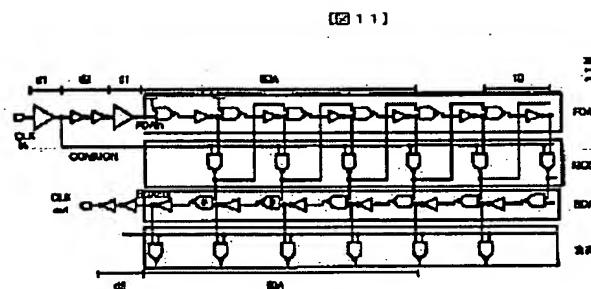
[첨부그림 12]



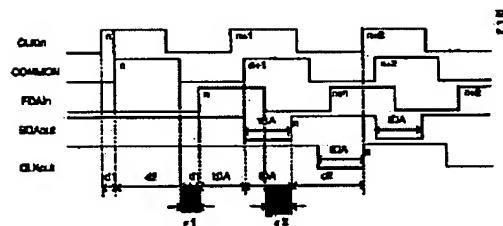
[첨부그림 13]



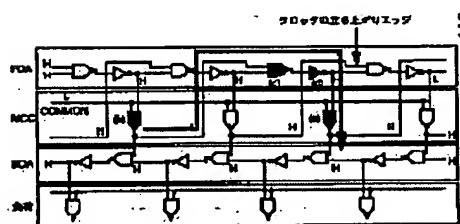
[첨부그림 14]



[图 12]

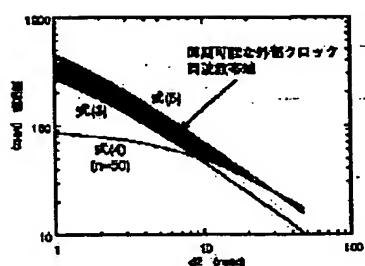


[図13]



[첨부그림 15]

【図 14】



フロントページの抜き

(51) Int. Cl. 6

部別記号

F 1  
G 1 1 C 11/34

3626

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**